# PATENT ABSTRACTS OF JAPAN

(11)Publication number:

10-189951

(43)Date of publication of application: 21.07.1998

(51)Int.CI.

H01L 29/78

(21)Application number: 08-348676 (22)Date of filing:

26.12.1996

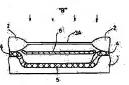
(71)Applicant : SANYO ELECTRIC CO LTD (72)Inventor: OKABE YUUSHIROU

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To attain a high threshold voltage with low ion implantation, without causing degradation of isolation characteristic.

SOLUTION: Boron ions (11B+) are implanted under conditions for penetrating an LOCOS oxide 2 deposited on a P-type silicon substrate 1, in order to form a channel stopper layer 4 beneath the LOCOS oxide 2 of the some time as with a first channel ion implantation layer 5 in a deep region within the substrate 1. Subsequently, boron ions (11B+) are implanted from above the substrate 1 under conditions of not penetrating the LOCOS oxide 2, in order to form a second channel ion implantation layer 6 beneath a region for forming a diffusion layer in the substrate which is shallower than the first channel ion implantation layer 5.



### LEGAL STATUS

[Date of request for examination]

22.02.2001 03.12.2002

[Date of sending the examiner's decision of rejection

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requ sting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**特開平10-189951** 

301X H011 28/78 H01L 29/78 (Si) Int.C.

(43)公園日 平成10年(1998) 7 月21日

第至語収 未謝収 請求項の数2 OL (全7 E)

# 大阪府守口市京阪本選2丁目5番5号 三 大阪府守口市京阪本道2丁目5番5号 (414) 「70代型人 弁理士 安省 第二 车电路株式会社内 三序電腦株式会社 **高等等的的** (71) HIRLA 000001889 72) 発明者

平盘8年(1996)12月26日

22) (KEE)

813676-8本職会

(21)出版等中

# 任命存款間の数据が所 34) (発明の名称)

# **素子分離特性を劣化させることなしに、少な**

・イオン注入量で高いしまい価格圧を得ることを可能に

【解決手段】 P型シリコン基版1上に形成したLOC OS機化膜2を質過する注入条件でポロンイオン (IIB ・)を住入して、厳LOCOS般化限2下にテャネルス トッパ層4を形成すると共に、前記弘板1内の歌い館域 ご第1のチャネルイオン注入届5を同時に形成する。次 こ、前配基後1上方から前配しのCOS酸化膜2を模造 しない住入条件でポロンイオン (11日+ ) を注入して、 **前配算1のチャネルイオン性入当ちよりも長板の違い類 食である甘穀脂形成質核下近後に筋2のチャネライギン** 主人間らを形成するものである。

6: 第2の かかれにないま入屋



OCOS酸化版を収過する注入条件で一導電型の不能物 ネルストッパ酸を形成すると共にゲート組織下の基板姿 【職来項1】 一番銀幣のシリコン基板上に形成した1. イオンをイオン往入し、当版1.0C0S酸化膜下にチャ 菌より酸い蜘蛛にチャネルイオン注入層を同時に形成す

約記LOCOS機化機を展通しない住人条件で一導机型 の不能物イオンをイオン住入して前記チャネルイオン住 入路より も基板の茂い 御城に 植光用のチャネルイオン社 入層を形成することを特徴とする半導体装取の製造力 る半導体装置の製造力法において、

【雑水項2】 一時気型のシリコン基板上にLOCOS 験化膜を形成する工程と、

値記シリコン被扱し力から施設しOCOS優行政を見過 前記LOCOS酸化膜を除く基板.Fにダミー酸化膜を形 する注入条件で一時電型の不純物を注入して採1.0CO S酸化膜下にチャネルストッパ粉を形成すると共に前記 B低的の様い観覧に終1のチャネルイオン技人圏を同時 に形成する工程と、

術院シリコン製板上方から前記LOCOS像化版を頁道 しない往入条件で一番類型の不能物を注入して拡散函形 **東部域下近傍に第2のチャネルイオン注入器を形成する** 前記グミー酸化膜を除去した後に前記しOCOS壁化膜

**する工程とを有することを特徴とする半導体装置の製造** 信記ゲート信徒の西越にソース・ドフィンは敦昭を形成 前記ゲート酸化粧上にゲート電極を形成する工程と、 と除く基板上にゲート酸化原を形成する工程と、

# 発明の詳細な説明】

[発明の属する技術分野] 本発明は、半毒体装型の製造

り待に関し、更に述べると半尊体悪板上に形成したしの COS (Local Oxidation of Silicon) 機比技を異菌す ドの基板表面より深い領域にチャネルイオン性入場を同 時に形成するものにおいて、菓子分離園圧を低下させる ことなしに、少ないイオン往入量で高いしまい値地圧を る往入条件でイオン往入を行い、当該LOCOS機化験 Fにチャネルストッパ語を形成すると共に、ゲート監権 **与ることを可能にすると共に、ゲート電極上の酸化腐を 等くしてセルの周辺との仮遊院被を可能とする技術に関** 

5至図13を基に説明する。図9に示す51は一導軌型 第1の課題を有する半導体装置の製造方法について図9 の半導体拡接、例えばP型シリコン高級で、旋基接51 上の所望領域をフィールド撤化することでおよそ450 【従来の技術】 此種の半導体装置の製造力法において、 [0002]

\$ 日本 | 18995 |

0 Aの既降のLOCOS (Local Oxidation of Silico 8

の気域におよそ400人の観摩のグミー輸化膜53人を

A 像化版52を形成し、厳しOCOS像化版52以外

の意である。以下、同様である。)で住人して、図10 [0003] 女に、金襴にポロンイオン (11B+) を前 cm2 (内, 6, 0 E 1 2 は 6, 0 掛ける 1 0 の 1 2 乗 に示すように厳しOCOS機化関52下にチャネルスト ッパ回54を形成すると共に、ダミー値(出版53AFの 半導体基板51内の強い倒壊に創起チャネルストッパ器 を構造形成し、不関示のレジスト駅を介してエッチング 月之ば、加速電圧140KeV、住入数6、0E12/ 【0004】緩いて、前記ダミー酸化模53Aを除去し た後に、前記1,0008億円原52以外の領域におよそ 女全届にゲート意権形成用のポリシリコン個及び依代的 RLOCOS酸化酸52Fに突き抜け可能な往入条件、 120人の順耳のゲート酸化酸3を形成する。次に、1 5.4に遊なるテャネルイオン柱入船5.5を形成する。

7 をゃスクにして倒えば、ボロンイボン(11 B+ )を加 に、「ダゲート配振56とその上部に積磨された酸化酶5 遊覧圧40KeV、住入費7.0E12/cm2で在入 した、パンチスルー対策用のイオン柱入路58を被訟す 【0005】女に、図12に示すように倒えばリンイオ ン (31 b+ ) を施遊衛圧30KeV、柱入路2.8 E.1 3/cm2 の注入条件で注入して、板套度のN-型ソー 3に示すように前配ゲート監接56の契整師に前記権化 **覧57と一体に形成されるサイドウォール船化版61を** 加速程圧30KeV、住入服5.0E13/cm2の住 **八条弁が行人した礼器版のN+ 別ソース・ドフィン村板** B62、63を形成することで、Nチャネル製MOSト ス・ドフイン対数面59、80を形成する。 欠に. 図1 8成し、前記ゲート職権56及びナイドウォール機化局 6 1 セマスクにして倒えば、ヒ溶イオン(75A s+ )を PN型ソース・ドフィン哲製服形成類製下に形成する。 して図11に示すようにゲート配補56を形成した後

[0006] また、第2の間間を行する半導体装型の数 長、パンチスルー対策用のイオン往入工程は、図11及 7回14に示すように半導体基板51上にゲート整備5 6を形成した後に、数ゲート配振56上に形成した酸化 真57によりゲート配補56を突き抜けないようにポロ アイギン (118+ ) ホイギン茶入った。 ベンチスラーギ 第方法について図11及び図14を基に説明する。第 発用のイボン狂入路58を形成していた。 ランジスクを形成していた。

[発明が解決しようとする問題] 先ず、第1の課題を有 する半導体装置の製造方法において、しきい値関整用の イオン注入工程をチャネルストッパ回54形成用のイオ ン准人工程で兼用することで、製造工程の削減を図って いた。しかしながら、近年の被替化の奴米に対応しよう [0000]

特開平10-189951

3

【0008】 即ち、イオン住入時の住入量が多い初に高 れるため、イオン住入品に対するしきい当物圧の変化が **高くなるためにしきい値数定が難しいとか、また、イオ** を挟んで隣り合う位散局局の間隔が恒くなり、包子が流 た環間があった。更に、高いしさい首都Eを必要とする **ナン往入工程を追加して、しきい値関盤を行うこともあ** いしきい他和用が得られないとか、図10に示すように チャネルイオン社入局58が基版内の深い解岐に形成さ ソ注入量を少なくしてデャネルイオン注入局55を基接 校面に近づけると、チャネルストッパ面54の効果が確 れ、菓子分類配圧は高くなるが、LOCOS酸化原52 1.品くなり、枯果として妻子分類特性が劣化するといっ **場合には、別のマスクを用意して、しまい値関係用のイ** 9、製造工数が増大するという原因があった。

[0009]また、第2の問題を有する半導体装置にお 、て、セルの国辺との設設指数のため、ゲート配摘を抵 くしたいという要因がある。そのため、因14に一点値 **即で示すゲート配権5日A上の数化収57Aを適正な収 母である数行数5~より導へ形成すると、ペンチスゥー** は原用のイオン社入局58を基拠51の深い知識に形成 **ずるためにイギン柱入した整にボロンイギン(IIB+)** パゲート配補56Aを突き抜けてしまい、チャネル製袋 4、一角微線で示すチャネル低下のイオン注入励588 8、56A上に異なる関係の酸化関57、57Aを形成 したボロンイオン (118+ ) 幸イオン位入することで、 [0010] 従って、本発明は何近した観脳を解決する を参照) 。 位、図14は説明の便宜上、ゲート配摘5 ゲート四種56A下のチャネル四級にもボロンイオン こちイオン注入されてしまうという問題があった (図 (118+) が注入されてしまう媒昭を示している。

オン往入品で高いしまい他们圧を得ることを可能にする と共に、ゲート監権上の銀行版を導くしてセルの周辺と の段遊伝域を可能とする半導体装配の製造力法を提供す 5ことを目的とする.

こめに選子分館特性を劣化させることなしに、少ないイ

コン基板1上にLOCOS酸化膜2を形成した後、縦 と成2及びグミー酸化成3Aを口通する注入条件でボロ ノイオン (11B\*)を注入して貸しのCOS館内域2下 33、注入条件でポロンイオン (IIB\*)を注入して拡散 既昭を解決するための手段] そこで、本発明はP型シ LOCOS硫化版2を徐く馬板上にグミー酸化関3Aを 8度する。次に、前配基板1上方から前配しのCOS機 こチャネルストッパ器4を形成すると共に、前配基版1 内の際い質域に第1のチャネルイオン注入路5を同時に 8段する。段いて、前記基板1上ガから前記グミー做化 第3Aを貸通し、かつ构配LOCOS機化模2を貫通し 国形成国域下近後に第2のチャネルイオン注入回6を形 **食する。そして、前配グミー俊化取3Aを除去し、ゲー** 

一体に購3を形成した後、版グート級化膜3上にグート 智能7を形成し、版ゲート観機7の両路にソース・ドン

【発明の実施の影響】以下、本発明の一実施の形態を図 イン証限器10、11、13、14を形成するものであ 面に基づき評談する。図しに示すしは一番複類の半導体 弘板、例えばP型シリコン基板で、菓子分離用のおよそ 4500人の展用のLOCOS機化局2が形成され、版 LOCOS機化膜2以外の間域におよそ400人の順原 [0012]

質適可能な注入条件、例えば加速電圧140KeV, 注 入陸4. 0E12/cm2 乃至5. 0E12/cm2 の 条件で往入して、図2に示すようにLOCOSM化版2 FILFセネルストッパ問4を形成すると共に、基板数面 から比較的点い部級に終しのチャネルイオン注入配ちを |0013|| 次に、金面に例えばポロンイオン (IIB+ )を何記グミー酸化模3A及びLOCOS酸化膜2を

のダミー酸化酸3Aが形成されている。

トネルイオン注入図6により、前近した第1のチャネル [0014] 扱いて、会通に例えばボロンイオン (IIB ・)を你記グミー酸化限3Aを頁過し、かつLOCOS 級化膜2を貫通しない在人条件、例えば加速電圧40K e V 乃至8 0 K e V , 往入職 5 , 0 E 1 1 / c m 2 乃至 5に延販波置から比較的淡い質域に補充用の第2のチャ ネルイオン住入間もを形成する。本工程による第2のチ ヤネル形成領域より深めに形成し、駆動能力の低下を防 7. 0 E 1 1 / c m2 の条件で住入して、図3 に示すよ イオン往入局5だけでは不足するイオン注入を指光し、 しきい値句圧を拡動的に耐御する。また、住人創场はチ

注人量7. 0 E 1.2 / c m2 の条件で注入して、パンチ・ 前記LOCOS機化模2以外の領域におよそ120人の 原項のゲート酸化酶3を形成する。扱いて、基板全面に ゲート競技形成用のポリシリコン模及が強化機を積極形 はし、不固示のレジスト概を介してエッチングして図4 に示すようにゲート包繰りを形成した後に、豚ゲート電 47とその上部に積弱された機化機8をマスクにして何 |0015||太に、グミー催化版3Aを除去した後に、 れば、ポロンイギン(IIB+) や部遊島田40KeV、

すン (75A s+) を加速電圧30KeV,注入量5.0 [0016] 次に、図5に示すように前記ゲート配極7 をマスクにして例えば、リンイオン(31 P+ )を加盗艦 王30KeV、往人量2、8 E I 3/cm2 の条件で注 **番7の監察的に前記録化録8と一体に形成されるサイド** ウォール酸化酸12を形成し、前配ゲート戦権7及びサ イドウォール酸化膜12をマスクにして何えば、ヒ塔イ Aして伝教長のN-型ソース・ドレイン対数層10、1 1を形成する。そして、図6に示すように創配ゲート館 スルー対策用のイオン注入M9を形成する。

E13/cm2 の条件で注入して高濃度のN・型ソース · ドフイン質製励13、14を形成することで、Nチャ

【0017】以上、説明したように本発明では、LOC OS機化膜2を口過する注入条件で第1のイオン注入を 行うことで、厳LOCOS般化限2下にテャネルストッ **パ弱4を形成すると共に、基板表面の際い面域に第1の** チャネルイオン狂人闘5を形成した後に、扱いて祭10 イオン注入工程を指足するためにLOCOS億化版2を して第2のイオン往入を行い第2のチャネルイオン往入 ペタない狂入量でも第2の往入工程により高いしきい債 きい信頼整用に別のマスクを用意する必要がなく、リン 質通しない往入条件で接しOCOS做化膜2をマスクに 節6を形成することで、第1のイオン注人は、従来12比 **意圧を得ることができる。そして、このようにすればし** ネル型MOSトランジスクを形成する。 グラフィー工程が増加することがない。

12/cm2 で行い、続いて、第2のイオン柱入をボロ 【0018】 筒、緩朱のイオン法人条件であるポロンイ オン (II,B+) を加速切圧140KeV、注入量6.0 E12/cm2 乃至6、5日12/cm2 セイオン往入 を1回のみ行った半導体装置とほぼ近い特性が得られる ン (11B+) を加速電圧140KeV, 注入前4、3E 本発明の半導体装置は、第1のイオン往入をボロンイオ ンイオン (IIB+) を加速机圧80KeV、注入扱5、 0E11/cm2 T25.

【0019】図7は従来の半導体装置と水発明半導体装 **聞との各種データの比較図であり、ゲート酸化成の設成** 以が20/0、6μmで、ベックゲート包圧Vbsが -2Vである場合に、従来の半導体装置のしまい信仰圧 V tはO. 68 (V)、マスクのゲート長と実効チャネ ゲクン似圧BVDSは8. 23 (V)、リーク他近しe a k は 1 2. 7 9 (p A)、 超チャネル効果の程度を装 置のしまい値和EV (は0. 64 (V)、マスクのゲー ト長と実効チャネル長の盗DLs/dは0. 17μmで あり、整在総道1satは337 (μA/μm)、ソー (V)、リーク組織しeakは14.53 (pA)、短 ル長の前DLs/dは0、11μm、超和電流1sal は317 (μΑ/μπ)、ソース・ドフィン配グワーク す値のは0.018であるのに対して本発明の半導体数 ス・ドレイン間ブレークダウン配圧BVDSは9.93 チャネル効果の程度を表す錆のは0、018であり、こ のデータから本発明の半導体装置は、従来の半導体装置 #120 At. GW (F+#N#) /GL (F+#N にほぼ近い特性を達成できることが実証されている。 尚, のは、次式で数される。

Vds2-Vds1 Vt2-Vt1

[0020]

V t. しきい価税圧 [0021]

dsにおけるしきい価値EV12、V11の変化量であ り、o.はおよそ0.02~0.03程度となるように数 Vds! の優化品に対するあるソース・ドレイン裁談! 部ち、倒えば、所留のソース・ドレイン和用Vds2、 Nds:ソース・ドレイン配用 でするのが適当である。

る半導体装置の製造方法(図1~図6に示す工程)を応 イオン (118+) が突き抜けないようにするために、ゲ 一ト電機上の機化原理を厚くするため、セルの周辺との 【0023】即ち、図8に示すようにシリコン場板1七 のLOCOS機化以2を兵道する住入条件でイオン住入 することで、仮LOCOS船に限2下にチャネルストッ ライオン往入函5を形成した後に、皮いて1,0COS数 マスクにして哲教的形成領域下にしきい信仰候用及びパ 【0022】また、前近した水発明の一次筋の形態によ 用して、従来の第2の課題であるペンチメルー対策用の イオン往入工程でゲート気後下のチャネル登場にポロン べ密 4 を形成すると共に、基板设置の深い質疑にチャネ 化版2を口通しない注入条件ではLOCOS数化版2を | 4を形成することで、ゲート包括7.上に形成する酸化 段差が大きくなるという問題を解決することができる。 ンチスルー対策用のイボン注入的20を形成した後に、 ゲート信権7を形成し、N型拡散器10、11、13、 数8 Bの膜耳を従来の酸化質8 より縛くすることがで

【0024】低、本安箱の形値ではポリシリコン数から **か宮人はボリキムドゲート台張をツリキムドゲート台湾** や仏像点金属ゲート航極等でも得わない。また、偵送し (118+) は、街のイギン橋、安札はコレッ方がロンイ **衣るゲート配搭を一例として挙げているが、これに限ら** た実施の影響のイオン住入工程におけるボロンイオン き、セルの周辺との股影を伝統することができる。 イン (498ド2+) に変更することも可能である。 |発明の効果| 以上、本発明の半導体装置の製造方法に よれば、リングラフィー工程を増加することなしに少な い仕入屋でも高いしきい値間圧を得ることができるよう になり、従来の問題であったイオン注入時の往入品が多 い値数定が貸しいとか、また、イオン注入量を少なくし トチャネティオン在入局や基板按通に近づけると、 チャ ネルストッパ間の効果が溢れ、妻子分離特性が劣化する い激に高いしきい質粒圧が得られないとか、チャネルイ オン狂入路が風極内の深い策略に形成されるため、イオ ン注入量に対するしきい値包圧の変化が続くなり、しき といった従来技術の展覧を解消できる。

【図1】本発明の一宗被の影館の半資体装配の製造方法 [図2] 本発明の一実施の形態の半導体装置の製造方法 を示す第1の原油図である。 (回頭の簡単な段形)

9

(2)

[88]

を示す郷2の新面園である。	[図9] 従来の半導体装膜の製造方法を示す第1
【図3】本発明の一実施の形態の半導体装置の製造力法	Bras.
を示す第3の協画図である。	【図10】従来の半等体装置の製造方法を示す》
【図4】本発明の一支箱の形態の半導体装置の製造方法	画図である。
を示す数4の時面図である。	【図11】従来の半尋体按照の製造方法を示す第
【図5】本発明の一実施の形態の半導体接頭の製造力法	面図である。
を示す第5の斯面間である。	[図12] 従来の半導体装置の製造力法を示す第
【図6】本発用の一支箱の形態の半導体装置の製造力位	面図である。
を示す類6の協而闘である。	[図13] 従来の半導体装置の製造方法を示す
【図7】本発明の半導体装履と従来の半導体装置との各	面図である。
権データの比較固である。	【図14】従来の第2の模型を説明するための4
【図8】本発明の他の実施の形態の中導体装置の製造力	質の製造力法を示す新田図である。
おか田中田田田かれて	

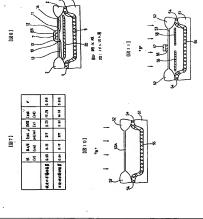
デークの比較固である。 油を示す原出回である。

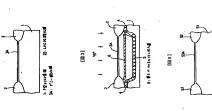
	[因9] 従来の半導体装置の製造方法を示す第1の断面
共	Stat.
	【図10】従来の半導体装置の製造方法を示す第2の順
#	面図である。
	[図11] 従来の半専体装置の製造方法を示す第3の略
世	面図である。
	[図12] 従来の半毒体装置の製造力法を示す第4の構
25	面図である。
	[図13] 従来の半導体装置の製造方法を示す第5の断
#	面図である。
	【図14】従来の第2の課題を提別するための半導体数
批	望の製造力法を示す新田図である。
	[882]
	.0
٠	
	*
	- CHARLES AND A

[B]

の川:ルー生 ヤス・ドレイン部長者

日本のでもしまいまれた





7: 4-1-8:4 S. ATYMAN

3: 17-1864

5: 第1n 4 satts 注入月

4: 4:427.17

